

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-209082
(43)Date of publication of application : 28.07.2000

(51)Int.CI. H03K 19/0175

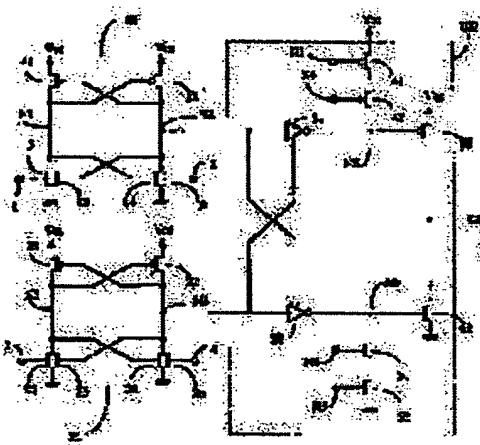
(21)Application number : 11-006735 (71)Applicant : OKI ELECTRIC IND CO LTD
(22)Date of filing : 13.01.1999 (72)Inventor : DOI HITOSHI

(54) OUTPUT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an output circuit reducing a through-current without damaging high-speed responsiveness.

SOLUTION: Signals inputted from nodes N2 and N4 to the output circuit 100 are respectively transmitted to clocked inverters 31 and 32. The clocked inverter 31 is activated when the node N4 is at an H level and the clock inverter 32 is activated when the node N2 is at an L level. The output signals of the clocked inverter 31 are supplied through a node N5 to the gate electrode of a PMOS 61 and the output signals of the clocked inverter 32 are supplied through a node N6 to the gate electrode of an NMOS 62. The node N5 is pulled up when the node N4 is at the L level and the node N6 is pulled down when the node N2 is at the H level.



LEGAL STATUS

[Date of request for examination] 18.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2977556

[Date of registration] 10.09.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl.
H 03K 19/0175

識別記号

F I
H 03K 19/00

テマコード(参考)
101J 5J056

審査請求 有 請求項の数4 OL (全15頁)

(21)出願番号 特願平11-6735
(22)出願日 平成11年1月13日(1999.1.13)

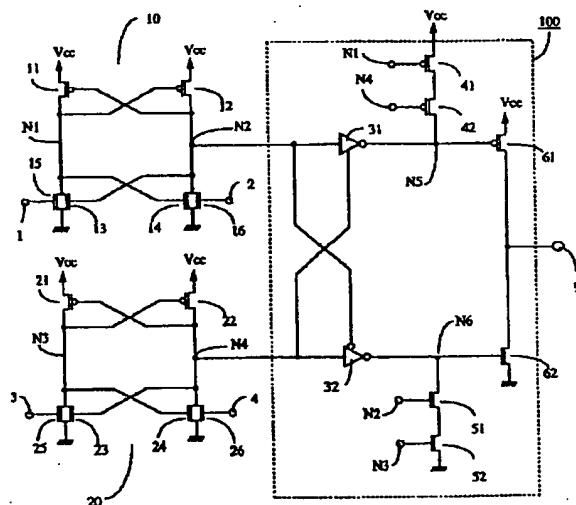
(71)出願人 000000295
神電気工業株式会社
東京都港区虎ノ門1丁目7番12号
(72)発明者 土井 均
東京都港区虎ノ門1丁目7番12号 神電気
工業株式会社内
(74)代理人 100089093
弁理士 大西 健治
F ターム(参考) 5J056 AA04 BB02 BB19 BB33 BB52
CC00 DD13 DD28 DD29 EE11
FF01 FF07 FF09 GG12

(54)【発明の名称】 出力回路

(57)【要約】

【目的】 高速応答性を損なうことなく、貫通電流を低減する出力回路を提供することを実現する。

【解決手段】 ノードN2及びN4から出力回路100に入力される信号をそれぞれクロックトインバータ31、32に伝達する。クロックトインバータ31はノードN4がHレベルの時に、また、クロックトインバータ32は、ノードN2がLレベルと時に活性化する。クロックトインバータ31の出力信号は、ノードN5を介してPMOS61のゲート電極に供給され、クロックトインバータ32の出力信号は、ノードN6を介してNMOS62のゲート電極に供給される。ノードN5はノードN4がLレベルの時にプルアップされ得るものであり、ノードN6はノードN2がHレベルの時にプルダウンされ得るものである。



【特許請求の範囲】

【請求項1】 第1と第2のデータ信号の電圧レベルに応じて、第1の電圧レベル、第2の電圧レベル、及び高インピーダンス状態のいずれか1つに設定される出力信号を出力する出力回路において、前記第1及び前記第2のデータ信号の少なくとも一方の電圧レベルにより設定された電圧レベルを有する第1の信号が伝達される第1のノードに接続され、前記第1の信号を波形整形して出力する第1のゲート回路と、前記第1及び前記第2のデータ信号の少なくとも一方の電圧レベルにより設定された電圧レベルを有する第2の信号が伝達される第2のノードに接続され、前記第2の信号を波形整形して出力する第2のゲート回路と、前記第1のゲート回路の出力信号の電圧レベルに応じて、第1の電源電圧供給端子と出力端子との間に電気的に接続する第1のトランジスタと、前記第2のゲート回路の出力信号の電圧レベルに応じて、第2の電源電圧供給端子と出力端子との間に電気的に接続する第2のトランジスタと、

前記第2のノードの電圧レベルに応じて、前記第1のトランジスタを非導通状態にすべき電圧を前記第1のトランジスタのゲート電極に供給する第1の制御回路と、前記第1のノードの電圧レベルに応じて、前記第2のトランジスタを非導通状態にすべき電圧を前記第2のトランジスタのゲート電極に供給する第2の制御回路と、を有し、

前記第1のゲート回路は前記第2のノードの電圧レベルに応じて、前記第1の信号を波形整形した信号を出力可能な状態と高インピーダンス状態とが選択的に設定され、前記第2のゲート回路は前記第1のノードの電圧レベルに応じて、前記第2の信号を波形整形した信号を出力可能な状態と高インピーダンス状態とが選択的に設定されることを特徴とする出力回路。

【請求項2】 前記第1のゲート回路の出力端子と前記第1のトランジスタのゲート電極との間には複数のバッファ回路が配置され、前記第2のゲート回路の出力端子と前記第2のトランジスタのゲート電極との間には複数のバッファ回路が配置されていることを特徴とする請求項1記載の出力回路。

【請求項3】 前記第1の信号は第1の差動論理回路の出力信号であり、前記第2の信号は第2の差動論理回路の出力信号であることを特徴とする請求項1または請求項2記載の出力回路。

【請求項4】 前記第1の差動論理回路は、前記第1のデータ信号の電圧レベルと前記第2のデータ信号の電圧レベルに応じて生成された第1と第2の制御信号を入力信号とするものであり、前記第2の差動論理回路は、前記第1のデータ信号の電圧レベルと前記第2のデータ信号の電圧レベルに応じて生成された第3と第4の制御信号を入力信号とするものであることを特徴とする請求項

3記載の出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は出力回路に関し、特に、出力端子の状態として電源電圧レベル、接地電圧レベル、高インピーダンス状態の3つの状態を取り得る出力回路に関する。

【0002】

【従来の技術】半導体集積回路においては、半導体集積回路からの出力信号に応じて動作する外部回路の負荷や半導体集積回路内部における負荷容量の大きな配線を駆動するために出力回路を設けている。このため、出力回路を構成するトランジスタは、半導体集積回路を構成する一般的なトランジスタに比べて、駆動能力が大きいものを使っている。

【0003】一般的に、出力回路の出力段は、電源電圧供給端子と接地電圧供給端子との間に2つのトランジスタを直列接続して、この2つのトランジスタの接続点を出力端子としている。このような構成のため、2つのトランジスタとともに導通状態となるタイミングが生じることにより、貫通電流が発生する。上述のように、出力回路は駆動能力の大きいトランジスタを用いているため、この貫通電流も大きなものになる。このような出力回路における貫通電流は、低消費電力化が望まれる半導体集積回路においては無視できないものである。出力回路の貫通電流を低減する方法として、例えば、下記文献に開示されるものが知られている。

文献名：特開平8-84057号公報

【0004】上記文献には、NANDゲートやNORゲートを用いて、互いに相補的な電圧レベルを有する入力信号の一方あるいは両方がNANDゲートあるいはNORゲートに入力されるタイミングをインバータにより遅延させて、2つのトランジスタをともに非導通状態とした後に、一方のトランジスタを導通状態とするものである。このようにすることで、出力回路の出力段を構成する2つのトランジスタが同時の導通状態とならないようしている。

【0005】

【発明が解決しようとする課題】上記文献のような方法においては、出力段の出力信号は、インバータによる遅延時間に応じた時間だけ高インピーダンス状態を必ず発生させるものである。このため、出力回路に入力される2つの入力信号によっては、貫通電流が生じないタイミングであっても、所定時間の高インピーダンス状態を必ず発生させることとなる。このため、出力回路の高速応答性においては必ずしも満足できるものではなかった。

【0006】信号が入力される出力回路の入力端子から見ると、出力段の動作は、インバータによる遅延に加えて、NANDゲートあるいはNORゲートを介する分の遅延が生ずることとなる。この場合、例えば、出力回路

に入力される信号にノイズが発生した場合、出力回路からの出力信号の状態が安定するのは、インバータ、NANDゲートあるいはORゲートを介して一時的に高インピーダンス状態とした後となる。

【0007】本発明は、上記問題点を解決し、高速応答性を損なうことなく、出力回路における出力段における貫通電流を低減する出力回路を提供することを目的とする。

【0008】また、本発明は、素子の増加を極力低減した上で、上記目的を達成することができる出力回路を提供することを目的とする。

【0009】また、本発明は、入力される信号にノイズが発生じても、上記目的を達成することができる出力回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の出力回路は、上記目的を達成するため、第1と第2のデータ信号の電圧レベルに応じて、第1の電圧レベル、第2の電圧レベル、及び高インピーダンス状態のいずれか1つに設定される出力信号を出力する出力回路において、第1及び第2のデータ信号の少なくとも一方の電圧レベルにより設定された電圧レベルを有する第1の信号が伝達される第1のノードに接続され、第1の信号を波形整形して出力する第1のゲート回路と、第1及び第2のデータ信号の少なくとも一方の電圧レベルにより設定された電圧レベルを有する第2の信号が伝達される第2のノードに接続され、第2の信号を波形整形して出力する第2のゲート回路と、第1のゲート回路の出力信号の電圧レベルに応じて、第1の電源電圧供給端子と出力端子との間を電気的に接続する第1のトランジスタと、第2のゲート回路の出力信号の電圧レベルに応じて、第2の電源電圧供給端子と出力端子との間を電気的に接続する第2のトランジスタと、第2のノードの電圧レベルに応じて、第1のトランジスタを非導通状態にすべき電圧を第1のトランジスタのゲート電極に供給する第1の制御回路と、第1のノードの電圧レベルに応じて、第2のトランジスタを非導通状態にすべき電圧を第2のトランジスタのゲート電極に供給する第2の制御回路とを有し、第1のゲート回路は第2のノードの電圧レベルに応じて、第1の信号を波形整形した信号を出力可能な状態と高インピーダンス状態とが選択的に設定され、第2のゲート回路は第1のノードの電圧レベルに応じて、第2の信号を波形整形した信号を出力可能な状態と高インピーダンス状態とが選択的に設定されるものである。

【0011】また、本発明の出力回路は、第1のゲート回路の出力端子と第1のトランジスタのゲート電極との間に複数のバッファ回路が配置し、第2のゲート回路の出力端子と第2のトランジスタのゲート電極との間に複数のバッファ回路が配置するものであってもよい。

【0012】また、本発明の出力回路は、第1の信号が

第1の差動論理回路の出力信号であり、第2の信号が第2の差動論理回路の出力信号であってもよい。

【0013】また、本発明の出力回路は、第1の差動論理回路が、第1のデータ信号の電圧レベルと第2のデータ信号の電圧レベルに応じて生成された第1と第2の制御信号を入力信号とするものであり、第2の差動論理回路が、第1のデータ信号の電圧レベルと第2のデータ信号の電圧レベルに応じて生成された第3と第4の制御信号を入力信号とするものであってもよい。

【0014】

【発明の実施の形態】本発明の出力回路についてを図面を用いて以下に詳細に説明する。図1は、本発明の第1の実施の形態における出力回路100の回路図である。

【0015】図1において、出力回路100は、主にゲート回路であるクロックトインバータ31、32、Pチャネル型MOSトランジスタ41、42、Nチャネル型MOSトランジスタ51、52、出力段を構成するPチャネル型MOSトランジスタ61とNチャネル型MOSトランジスタ62から構成されている。なお、以下の説明においては、Pチャネル型MOSトランジスタをPMOS、Nチャネル型MOSトランジスタをNMOSと称する。なお、以下の説明において、各PMOSのサブストレート端子には電源電圧Vccが供給され、各NMOSのサブストレート端子には接地電圧Vssが供給されているものとする。

【0016】クロックトインバータ31の入力端子はノードN2に接続され、出力端子はノードN5を介してPMOS61のゲート電極に接続されている。クロックトインバータ31の制御端子はノードN4に接続されている。同様に、クロックトインバータ32の入力端子はノードN4に接続され、出力端子はノードN6を介してNMOS62のゲート電極に接続されている。クロックトインバータ32の反転制御端子はノードN2に接続されている。

【0017】ここで、クロックトインバータ31、32の具体的な回路図を図2、図3にそれぞれ示す。

【0018】図2において、クロックトインバータ31はPMOS31-1とNMOS31-2、31-3により構成されている。PMOS31-1の一方の電極には電源電圧Vccが印加され、他方の電極はクロックトインバータ31の出力端子としてノードN5に接続されている。NMOS31-2の一方の電極はクロックトインバータ31の出力端子としてノードN5に接続され、他方の電極はNMOS31-3の一方の電極と接続されている。NMOS31-3の他方の電極は接地されていることにより、接地電圧Vssが印加されている。PMOS31-1のゲート電極とNMOS31-3のゲート電極はノードN2に接続され、NMOS31-2のゲート電極はノードN4と接続されている。

【0019】以上の構成からわかるように、つまり、ク

ロックトインバータ31は、ノードN4の電圧レベルが電源電圧レベル(以下、Hレベルと称する)の時に、NMOS31-2が導通状態となる。このため、クロックトインバータ31は、PMOS31-1とNMOS31-3とで構成されるインバータとして機能し、ノードN2に伝達される信号の電圧レベルを反転して出力する。ノードN4の電圧レベルが接地電圧レベル(以下、Lレベルと称する)の時には、NMOS31-2が非導通状態となる。このため、ノードN2の電圧レベルがLレベルであれば、クロックトインバータ31の出力はHレベルとなり、ノードN2の電圧レベルがHレベルであれば、クロックトインバータ31の出力は不定(高インピーダンス状態)となる。

【0020】図3において、クロックトインバータ32はPMOS32-1、32-2とNMOS32-3により構成されている。PMOS32-1の一方の電極には電源電圧Vccが印加され、他方の電極はPMOS32-2の一方の電極と接続されている。PMOS32-2の他方の電極はクロックトインバータ32の出力端子としてノードN6に接続されている。NMOS32-3の一方の電極はクロックトインバータ32の出力端子としてノードN6に接続され、他方の電極は接地されていることにより、接地電圧Vssが印加されている。PMOS32-1のゲート電極とNMOS32-3のゲート電極はノードN4に接続され、PMOS32-2のゲート電極はノードN2と接続されている。

【0021】以上の構成からわかるように、つまり、クロックトインバータ32は、ノードN2の電圧レベルがLレベルの時に、PMOS32-2が導通状態となる。このため、クロックトインバータ32は、PMOS32-1とNMOS32-3とで構成されるインバータとして機能し、ノードN4に伝達される信号の電圧レベルを反転して出力する。ノードN2の電圧レベルがHレベルの時には、PMOS32-2が非導通状態となる。このため、ノードN4の電圧レベルがHレベルであれば、クロックトインバータ31の出力はLレベルとなり、ノードN4の電圧レベルがLレベルであれば、クロックトインバータ32の出力は不定(高インピーダンス状態)となる。

【0022】なお、クロックトインバータ31、32の構成は図2や図3の構成に限られるものではない。例えば、図2においては、PMOS31-1のゲート電極とNMOS31-2のゲート電極とをノードN2に接続し、NMOS31-3のゲート電極をノードN4に接続するようにしてもよい。また、図3においては、PMOS32-2のゲート電極とNMOS32-3のゲート電極とをノードN4に接続し、PMOS32-1のゲート電極をノードN2に接続するようにしてもよい。

【0023】図1において、PMOS41の一方の電極には電源電圧Vccが印加され、他方の電極はPMOS

42の一方の電極に接続されている。PMOS42の他方の電極はノードN5に接続されている。PMOS41のゲート電極は後述するノードN1に接続され、PMOS42のゲート電極はノードN4に接続されている。

【0024】ノードN1及びノードN4の電圧レベルがともにLレベルの時に、PMOS41及びPMOS42はともに導通状態となる。このため、ノードN5にはPMOS41及びPMOS42を介して電源電圧Vccが印加される。つまり、ノードN5の電圧レベルをHレベルにプルアップする。ノードN1及びノードN4の電圧レベルのいずれか一方あるいは両方がHレベルの時には、PMOS41及びPMOS42のいずれか一方あるいは両方が非導通状態となる。このため、ノードN5に対する電源電圧Vccの印加が禁止される。このように、PMOS41及びPMOS42はノードN5の電圧レベルを制御する制御回路として機能する。

【0025】NMOS51の一方の電極はノードN6に接続され、他方の電極はNMOS52の一方の電極に接続されている。NMOS52の他方の電極は接地されることにより、接地電圧Vssが印加される。NMOS51のゲート電極はノードN2に接続され、NMOS52のゲート電極は後述するノードN3に接続されている。

【0026】ノードN2及びノードN3の電圧レベルがともにHレベルの時に、NMOS51及びNMOS52はともに導通状態となる。このため、ノードN6にはNMOS51及びNMOS52を介して接地電圧Vssが印加される。つまり、ノードN6の電圧レベルをLレベルにプルダウンする。ノードN2及びノードN3の電圧レベルのいずれか一方あるいは両方がLレベルの時には、NMOS51及びNMOS52のいずれか一方あるいは両方が非導通状態となる。このため、ノードN6に対する接地電圧Vssの印加が禁止される。このように、NMOS51及びNMOS52はノードN6の電圧レベルを制御する制御回路として機能する。

【0027】出力回路100の出力段を構成するPMOS61の一方の電極には電源電圧Vccが印加され、他方の電極は、出力回路100の出力端子9に接続されている。PMOS61のゲート電極はノードN5に接続されている。出力回路100の出力段を構成するNMOS62の一方の電極は接地されることにより、接地電圧Vssが印加され、他方の電極は出力端子9に接続されている。NMOS62のゲート電極はノードN6に接続されている。なお、PMOS61及びNMOS62は駆動能力を大きくする必要があるため、他のMOSトランジスタよりサイズが大きいものである。

【0028】出力回路100は上記のように構成されているが、本実施の形態においては、図1に示されるように、出力回路100に入力される信号、つまり、ノードN2及びノードN4に伝達される信号をそれぞれ差動論理回路10及び20から生成する構成としている。

【 0029 】 差動論理回路10は、PMOS11、12、NMOS13、14、15、16から構成されている。PMOS11及びPMOS12の一方の電極には電源電圧Vccが印加されている。PMOS11の他方の電極はノードN1に接続され、PMOS12の他方の電極はノードN2に接続されている。PMOS11のゲート電極はノードN2に接続され、PMOS12のゲート電極はノードN1に接続されている。

【 0030 】 さらに、差動論理回路10を構成するNMOS13～16の一方の電極は接地されることにより、接地電圧Vssが印加されている。NMOS13及びNMOS15の他方の電極はとともにノードN1に接続され、NMOS14及びNMOS16の他方の電極はともにノードN2に接続されている。NMOS13のゲート電極はノードN2に接続され、NMOS14のゲート電極はノードN1に接続され、NMOS15のゲート電極は後述する信号端子1に接続され、NMOS16のゲート電極は後述する信号端子2に接続されている。

【 0031 】 上述のように構成された差動論理回路10は、信号端子1に入力される信号の電圧レベルがHレベルで、信号端子2に入力される信号の電圧レベルがLレベルの場合には、NMOS15が導通状態となり、NMOS16が非導通状態となる。このため、ノードN1には接地電圧Vssが印加され、ノードN1の電圧レベルがLレベルとなる。ノードN1の電圧レベルに応じて、PMOS12が導通状態となり、NMOS14は非導通状態になる。このため、ノードN2には電源電圧Vccが印加され、ノードN2の電圧レベルがHレベルとなる。なお、ノードN2の電圧レベルに応じて、PMOS11は非導通状態に、NMOS13は導通状態となる。

【 0032 】 また、信号端子1に入力される信号の電圧レベルがLレベルで、信号端子2に入力される信号の電圧レベルがHレベルの場合には、NMOS15が非導通状態となり、NMOS16が導通状態となる。このため、ノードN2には接地電圧Vssが印加され、ノードN2の電圧レベルがLレベルとなる。ノードN2の電圧レベルに応じて、PMOS11が導通状態となり、NMOS13は非導通状態になる。このため、ノードN1には電源電圧Vccが印加され、ノードN1の電圧レベルはHレベルとなる。なお、ノードN1の電圧レベルに応じて、PMOS12は非導通状態に、NMOS14は導通状態となる。

【 0033 】 なお、上記のようにノードN1及びノードN2の電圧レベルが設定された後に、信号端子1及び信号端子2の電圧レベルがともにLレベルになってしまって、NMOS13及びNMOS14により、ノードN1及びノードN2の電圧レベルは設定された電圧レベルに維持される。また、ノードN1及びノードN2の電圧レベルがともにHレベルになると、差動論理回路10はノードN1及びノードN2に設定した電圧レベルが維持できなく

なるため、ノードN1及びノードN2の電圧レベルがともにHレベルとならないように制御されている。この制御については後述する。

【 0034 】 また、初期状態として、ノードN1及びノードN2の電圧レベルがともにLレベルであると、ノードN1及びノードN2の電圧レベルが不定となり、貫通電流が発生するため、イニシャライズ時等において、初期設定を行うようにしておく方が望ましい。なお、差動論理回路10を構成するMOSトランジスタは出力回路100の出力段を構成するMOSトランジスタに比べて、駆動能力が小さくてよいため、差動論理回路10にて生じる貫通電流は、出力回路100の出力段で発生する貫通電流に比べて極めて小さい。

【 0035 】 同様に、差動論理回路20は、PMOS21、22、NMOS23、24、25、26から構成されている。PMOS21及びPMOS22の一方の電極には電源電圧Vccが印加されている。PMOS21の他方の電極はノードN3に接続され、PMOS22の他方の電極はノードN4に接続されている。PMOS21のゲート電極はノードN4に接続され、PMOS22のゲート電極はノードN3に接続されている。

【 0036 】 さらに、差動論理回路20を構成するNMOS23～26の一方の電極は接地されることにより、接地電圧Vssが印加されている。NMOS23及びNMOS25の他方の電極はとともにノードN3に接続され、NMOS24及びNMOS26の他方の電極はともにノードN4に接続されている。NMOS23のゲート電極はノードN4に接続され、NMOS24のゲート電極はノードN3に接続され、NMOS25のゲート電極は後述する信号端子3に接続され、NMOS26のゲート電極は後述する信号端子4に接続されている。

【 0037 】 上述のように構成された差動論理回路20は、信号端子3に入力される信号の電圧レベルがHレベルで、信号端子4に入力される信号の電圧レベルがLレベルの場合には、NMOS25が導通状態となり、NMOS26が非導通状態となる。このため、ノードN3には接地電圧Vssが印加され、ノードN3の電圧レベルがLレベルとなる。ノードN3の電圧レベルに応じて、PMOS22が導通状態となり、NMOS24は非導通状態になる。このため、ノードN4には電源電圧Vccが印加され、ノードN4の電圧レベルがHレベルとなる。なお、ノードN4の電圧レベルに応じて、PMOS21は非導通状態に、NMOS23は導通状態となる。

【 0038 】 また、信号端子3に入力される信号の電圧レベルがLレベルで、信号端子4に入力される信号の電圧レベルがHレベルの場合には、NMOS25が非導通状態となり、NMOS26が導通状態となる。このため、ノードN4には接地電圧Vssが印加され、ノードN4の電圧レベルがLレベルとなる。ノードN4の電圧レベルに応じて、PMOS21が導通状態となり、NM

OS 2-3 は非導通状態になる。このため、ノードN3 には電源電圧Vcc が印加され、ノードN3 の電圧レベルはH レベルとなる。なお、ノードN3 の電圧レベルに応じて、PMOS 22 は非導通状態に、NMOS 24 は導通状態となる。

【0039】なお、上記のようにノードN3 及びノードN4 の電圧レベルが設定された後に、信号端子3 及び信号端子4 の電圧レベルがともにL レベルになつても、NMOS 23 及びNMOS 24 により、ノードN3 及びノードN4 の電圧レベルは設定された電圧レベルに維持される。また、ノードN3 及びノードN4 の電圧レベルがともにH レベルになると、差動論理回路20 はノードN3 及びノードN4 に設定した電圧レベルが維持できなくなるため、ノードN3 及びノードN4 の電圧レベルがともにH レベルとならないように制御されている。この制御については後述する。

【0040】また、初期状態として、ノードN3 及びノードN4 の電圧レベルがともにL レベルであると、ノードN3 及びノードN4 の電圧レベルが不定となり、貫通電流が発生するため、イニシャライズ時等において、初期設定を行うようにしておく方が望ましい。なお、差動論理回路20 を構成するMOSトランジスタは出力回路100 の出力段を構成するMOSトランジスタに比べて、駆動能力が小さくてよいため、差動論理回路20 にて生じる貫通電流は、出力回路100 の出力段で発生する貫通電流に比べて極めて小さい。

【0041】ここで、信号端子1～4 に入力される信号を発生する信号生成回路についてを説明する。図4 は信号生成回路70 の回路図である。

【0042】信号生成回路70 はNANDゲート71～76、インバータ81、82、85～89 により構成されている。NANDゲート71 及び72 は3 入力1 出力のNANDゲートであり、NANDゲート73 及び74 は4 入力1 出力のNANDゲートであり、NANDゲート75 及び76 は2 入力1 出力のNANDゲートである。信号生成回路70 には3 つの入力端子91、92、93 と4 つの出力端子を有する。信号生成回路70 の出力端子はそれぞれ差動論理回路10 及び20 の信号端子1～4 に接続されるため、図4 においては、各出力端子には、差動論理回路10 及び20 の信号端子1～4 の対応するものと同じ符号を付している。

【0043】図4において、入力端子91 にはクロック信号CLK が入力され、入力端子92 には第1 のデータ信号DATA1 が入力され、入力端子93 には第2 のデータ信号DATA2 が入力される。

【0044】入力端子91 はNANDゲート71～74 のそれぞれの入力端子の1 つ及びインバータ87 の入力端子に接続されている。インバータ87 の出力端子はインバータ88 の入力端子に接続され、インバータ88 の出力端子はインバータ89 の入力端子に接続されてい

る。インバータ89 の出力端子はNANDゲート71～74 のそれぞれの入力端子の1 つに接続されている。

【0045】入力端子92 はインバータ81 の入力端子及びNANDゲート71 の入力端子の1 つに接続されている。入力端子93 はインバータ82 の入力端子及びNANDゲート72 の入力端子の1 つに接続されている。

【0046】インバータ81 の出力端子及びNANDゲート71 の出力端子はそれぞれNANDゲート73 の入力端子の1 つに接続されている。NANDゲート71 の出力端子はインバータ85 の入力端子及びNANDゲート76 の一方の入力端子にも接続されている。

【0047】インバータ82 の出力端子及びNANDゲート72 の出力端子はそれぞれNANDゲート74 の入力端子の1 つに接続されている。NANDゲート72 の出力端子はインバータ86 の入力端子及びNANDゲート75 の一方の入力端子にも接続されている。

【0048】NANDゲート73 の出力端子はNANDゲート75 の他方の入力端子に接続され、NANDゲート74 の出力端子はNANDゲート76 の他方の入力端子に接続されている。

【0049】インバータ85 の出力端子は差動論理回路10 の信号端子1 に接続され、NANDゲート75 の出力端子は差動論理回路10 の信号端子2 に接続され、NANDゲート76 の出力端子は差動論理回路20 の信号端子3 に接続され、インバータ86 の出力端子は差動論理回路20 の信号端子4 に接続されている。

【0050】以上のように構成された信号生成回路70 の動作についてを以下に説明する。図5 は、信号生成回路70 の動作を説明するタイミングチャートである。なお、差動論理回路10 の信号端子1 に入力される信号を制御信号CN1 、信号端子2 に入力される信号を制御信号CN2 、差動論理回路20 の信号端子3 に入力される信号を制御信号CN3 、信号端子4 に入力される信号を制御信号CN4 と称する。また、初期状態においては、クロック信号CLK 、第1 のデータ信号DATA1 、第2 のデータ信号DATA2 の電圧レベルはともにL レベルとする。このため、NANDゲート71～74 の出力信号の電圧レベルはそれぞれH レベルとなるため、インバータ85、86、NANDゲート75、76 の出力信号の電圧レベルはそれぞれL レベルとなる。

【0051】図5において、時刻t1 になる前に、第1 のデータ信号DATA1 の電圧レベルがH レベルとなり、インバータ81 の出力信号の電圧レベルがL レベルとなる。時刻t1 にてクロック信号CLK が立ち上がりると、インバータ87～89 による遅延分遅れて、NANDゲート71 の3 つの入力信号の電圧レベルがそれぞれH レベルとなる。この結果、NANDゲート71 の出力信号の電圧レベルはL レベルとなる。NANDゲート71 の出力信号の電圧レベルはインバータ85 を介して反転されるため、信号端子1 の電圧レベルはH レベルとな

る。

【 0 0 5 2 】この時、NANDゲート73の出力信号の電圧レベルは、インバータ81の出力信号の電圧レベルがLレベルのため、Hレベルのままである。また、NANDゲート72及び74の電圧レベルもHレベルのままである。よって、NANDゲート76の出力信号の電圧レベルはHレベルとなり、信号端子3の電圧レベルもHレベルとなる。さらに、入力信号の電圧レベルに変化がないため、NANDゲート75の出力信号の電圧レベルはLレベルのままであり、インバータ86の出力信号の電圧レベルもLレベルのままである。この結果、信号端子2及び4の電圧レベルはLレベルのままである。

【 0 0 5 3 】この後、第1のデータ信号DATA1の電圧レベルがLレベルになると、インバータ81の出力信号の電圧レベル及びNANDゲート71の出力信号の電圧レベルはともにHレベルとなるので、インバータ85の出力信号の電圧レベル及びNANDゲート76の出力信号の電圧レベルはともにLレベルになる。この結果、信号端子1及び3の電圧レベルはLレベルとなる。

【 0 0 5 4 】クロック信号CLKが立ち下がった後、時刻t2になる前に、第2のデータ信号DATA2の電圧レベルがHレベルとなり、インバータ82の出力信号の電圧レベルがLレベルとなる。時刻t2にてクロック信号CLKが立ち上ると、インバータ87～89による遅延分遅れて、NANDゲート72の3つの入力信号の電圧レベルがそれぞれHレベルとなる。この結果、NANDゲート72の出力信号の電圧レベルはLレベルとなる。NANDゲート72の出力信号の電圧レベルはインバータ86を介して反転されるため、信号端子4の電圧レベルはHレベルとなる。

【 0 0 5 5 】この時、NANDゲート74の出力信号の電圧レベルは、インバータ82の出力信号の電圧レベルがLレベルのため、Hレベルのままである。また、NANDゲート71及び73の電圧レベルもHレベルのままである。よって、NANDゲート75の出力信号の電圧レベルはHレベルとなり、信号端子2の電圧レベルもHレベルとなる。さらに、入力信号の電圧レベルに変化がないため、NANDゲート76の出力信号の電圧レベルはLレベルのままであり、インバータ85の出力信号の電圧レベルもLレベルのままである。この結果、信号端子1及び3の電圧レベルはLレベルのままである。

【 0 0 5 6 】この後、第2のデータ信号DATA2の電圧レベルがLレベルになると、インバータ82の出力信号の電圧レベル及びNANDゲート72の出力信号の電圧レベルはともにHレベルとなるので、インバータ86の出力信号の電圧レベル及びNANDゲート75の出力信号の電圧レベルはともにLレベルになる。この結果、信号端子2及び4の電圧レベルはLレベルとなる。

【 0 0 5 7 】クロック信号CLKが立ち下がった後、時刻t3になる前に、第1のデータ信号DATA1の電圧

レベルがHレベルとなり、インバータ81の出力信号の電圧レベルがLレベルとなる。時刻t3にてクロック信号CLKが立ち上ると、インバータ87～89による遅延分遅れて、NANDゲート71の3つの入力信号の電圧レベルがそれぞれHレベルとなる。よって、時刻t3においては、時刻t1と同様に、信号端子1及び3の電圧レベルがHレベルとなり、信号端子2及び4の電圧レベルはLレベルのままである。

【 0 0 5 8 】この後、第1のデータ信号DATA1の電圧レベルがLレベルになると、信号端子1及び3の電圧レベルはLレベルとなる。クロック信号CLKが立ち下がった後、第1のデータ信号DATA1及び第2のデータ信号DATA2の電圧レベルがともにLレベルのままで時刻t4においてクロック信号CLKが立ち上がる。

【 0 0 5 9 】インバータ81、82及びNANDゲート71、72の電圧レベルはそれぞれHレベルのままであるが、NANDゲート73、74それぞれの4つの入力信号の電圧レベルはHレベルとなる。このため、NANDゲート73、74の出力信号の電圧レベルはLレベルとなる。この結果、NANDゲート75、76の出力信号の電圧レベルはそれぞれHレベルとなるため、信号端子2及び3の電圧レベルはHレベルとなる。

【 0 0 6 0 】入力信号の電圧レベルに変化がないため、NANDゲート71及び72の出力信号の電圧レベルはHレベルのままである。この結果、信号端子1及び4の電圧レベルはLレベルのままである。

【 0 0 6 1 】この後、クロック信号CLKが立ち下がると、NANDゲート73及び74の出力信号の電圧レベルはHレベルとなるため、NANDゲート75及び76の出力信号の電圧レベルもLレベルとなる。この結果、信号端子2及び3の電圧レベルもLレベルとなる。

【 0 0 6 2 】以上のように動作する信号生成回路70の出力信号、つまり、信号端子1～4に入力される制御信号CN1～CN4による、差動論理回路10、20、出力回路100の動作についてを説明する。

【 0 0 6 3 】図5における時刻t1や時刻t3のように、制御信号CN1及びCN3の電圧レベルがHレベルであり、制御信号CN2及びCN4の電圧レベルがLレベルの時は、上述したように、差動論理回路10のノードN1及び差動論理回路20のノードN3の電圧レベルはLレベルとなり、差動論理回路10のノードN2及び差動論理回路20のノードN4の電圧レベルはHレベルとなる。

【 0 0 6 4 】このため、クロックトインバータ31はインバータとして動作するため、電圧レベルがLレベルの出力信号を出力する。また、クロックトインバータ32は、図3に示すように、PMOS32-1、32-2が非導通状態となり、NMOS32-3が導通状態となるため、電圧レベルがLレベルの出力信号を出力する。つまり、見かけ上、クロックトインバータ32もインバー

タとして動作しているのと同様である。

【0065】ここで、ノードN1の電圧レベルがLレベルでありPMOS41は導通状態となるが、ノードN4の電圧レベルがHレベルでありPMOS42は非導通状態である。このため、ノードN5にはPMOS41及び42を介して電源電圧Vccが印加されない。同様に、ノードN2の電圧レベルがHレベルでありNMOS51は導通状態となるが、ノードN3の電圧レベルがLレベルでありNMOS52は非導通状態である。このため、ノードN6にはNMOS51及び52を介して接地電圧Vssが印加されない。

【0066】この結果、出力回路100の出力段を構成するPMOS61のゲート電極及びNMOS62のゲート電極にはともに電圧レベルがLレベルの信号が入力される。ゲート電極に入力された信号の電圧レベルに応じて、PMOS61は導通状態、NMOS62は非導通状態となる。出力端子9には導通状態のPMOS61を介して電源電圧Vccが印加されたため、図5において、出力端子9から出力される出力信号OUTとして示すように、出力端子9の電圧レベルはHレベルとなる。

【0067】なお、制御信号CN1及びCN3の電圧レベルがLレベルになったとしても、差動論理回路10のNMOS13、14及び差動論理回路20のNMOS23、24により、ノードN1、N3の電圧レベルはLレベルに、ノードN2、N4の電圧レベルはHレベルに維持される。よって、出力端子9の電圧レベルはHレベルが維持される。

【0068】次に、図5における時刻t2のように、制御信号CN2及びCN4の電圧レベルがHレベルであり、制御信号CN1及びCN3の電圧レベルがLレベルの時は、上述したように、差動論理回路10のノードN2及び差動論理回路20のノードN4の電圧レベルはLレベルとなり、差動論理回路10のノードN1及び差動論理回路20のノードN3の電圧レベルはHレベルとなる。

【0069】このため、クロックトインバータ32はインバータとして動作するため、電圧レベルがHレベルの出力信号を出力する。また、クロックトインバータ31は、図2に示すように、NMOS31-2、31-3が非導通状態となり、PMOS31-1が導通状態となるため、電圧レベルがHレベルの出力信号を出力する。つまり、見かけ上、クロックトインバータ32もインバータとして動作しているのと同様である。

【0070】ここで、ノードN4の電圧レベルがLレベルでありPMOS42は導通状態となるが、ノードN1の電圧レベルがHレベルでありPMOS41は非導通状態である。このため、ノードN5にはPMOS41及び42を介して電源電圧Vccが印加されない。同様に、ノードN3の電圧レベルがHレベルでありNMOS52は導通状態となるが、ノードN2の電圧レベルがLレベル

ルでありNMOS51は非導通状態である。このため、ノードN6にはNMOS51及び52を介して接地電圧Vssが印加されない。

【0071】この結果、出力回路100の出力段を構成するPMOS61のゲート電極及びNMOS62のゲート電極にはともに電圧レベルがHレベルの信号が入力される。ゲート電極に入力された信号の電圧レベルに応じて、PMOS61は非導通状態、NMOS62は導通状態となる。出力端子9には導通状態のNMOS62を介して接地電圧Vssが印加されたため、図5の出力信号OUTとして示すように、出力端子9の電圧レベルはLレベルとなる。

【0072】なお、制御信号CN2及びCN4の電圧レベルがLレベルになったとしても、差動論理回路10のNMOS13、14及び差動論理回路20のNMOS23、24により、ノードN1、N3の電圧レベルはHレベルに、ノードN2、N4の電圧レベルはLレベルに維持される。よって、出力端子9の電圧レベルはLレベルが維持される。

【0073】次に、図5における時刻t4のように、制御信号CN2及びCN3の電圧レベルがHレベルであり、制御信号CN1及びCN4の電圧レベルがLレベルの時は、差動論理回路10のノードN2及び差動論理回路20のノードN3の電圧レベルはLレベルとなり、差動論理回路10のノードN1及び差動論理回路20のノードN4の電圧レベルはHレベルとなる。

【0074】このため、図2に示すNMOS31-2及び図3に示すPMOS32-2がともに導通状態となるため、クロックトインバータ31、32はともにインバータとして動作する。ノードN2の電圧レベルがLレベルのため、クロックトインバータ31は電圧レベルがHレベルの出力信号を出力する。また、ノードN4の電圧レベルがHレベルのため、クロックトインバータ32は電圧レベルがLレベルの出力信号を出力する。

【0075】ここで、ノードN1、N4の電圧レベルがともにHレベルでありPMOS41、42はともに非導通状態である。このため、ノードN5にはPMOS41及び42を介して電源電圧Vccが印加されない。同様に、ノードN2、N3の電圧レベルがLレベルでありNMOS51、52は非導通状態である。このため、ノードN6にはNMOS51及び52を介して接地電圧Vssが印加されない。

【0076】この結果、出力回路100の出力段を構成するPMOS61のゲート電極には電圧レベルがHレベルの信号が入力され、NMOS62のゲート電極には電圧レベルがLレベルの信号が入力される。ゲート電極に入力された信号の電圧レベルに応じて、PMOS61及びNMOS62はともに非導通状態となる。出力端子9には電源電圧Vcc及び接地電圧Vssがともに印加されないため、図5の出力信号OUTにハッキングにて示

15

すように、出力端子9の電圧レベルは高インピーダンス状態となる。

【0077】なお、クロック信号CLKが立ち下がって、制御信号CN2及びCN3の電圧レベルがLレベルになったとしても、差動論理回路10のNMOS13、14及び差動論理回路20のNMOS23、24により、ノードN2、N3の電圧レベルはLレベルに、ノードN1、N4の電圧レベルはHレベルに維持される。よって、出力端子9は高インピーダンス状態が維持される。

【0078】つまり、信号生成回路70、差動論理回路10、20、出力回路100の全体で見ると、クロック信号CLKの立ち上がりに応答して、第1のデータ信号DATA1が入力される(電圧レベルがHレベルになる)と、出力回路100の出力信号OUTの電圧レベルはHレベルとなる。また、クロック信号CLKの立ち上がりに応答して、第2のデータ信号DATA2が入力される(電圧レベルがHレベルになる)と、出力回路100の出力信号OUTの電圧レベルはLレベルとなる。また、クロック信号CLKの立ち上がりに応答して、第1のデータ信号DATA1及び第2のデータ信号DATA2がともに入力されない(電圧レベルがLレベルになる)と、出力回路100の出力信号OUTは高インピーダンス状態となる。

【0079】このように、信号生成回路70、差動論理回路10、20、出力回路100の全体としては、2つのデータ信号DATA1、DATA2の電圧レベルによって、出力回路100の出力信号OUTを、電圧レベルがHレベル、電圧レベルがLレベル、あるいは高インピーダンス状態のいずれかに設定することができるものである。

【0080】なお、信号発生回路70は、第1のデータ信号DATA1の電圧レベルをHレベルにする時、あるいは第2のデータ信号DATA2の電圧レベルをHレベルにする時を、第1のデータ信号DATA1の電圧レベルと第2のデータ信号DATA2の電圧レベルとをともにLレベルにした後に行なうようにしているため、第1のデータ信号DATA1の電圧レベルと第2のデータ信号DATA2の電圧レベルとがともにHレベルとなることがない。このため、差動論理回路10、20による貫通電流の発生を防止することができる。

【0081】また、データ信号にノイズが発生し、第1のデータ信号DATA1の電圧レベルと第2のデータ信号DATA2の電圧レベルとがともにHレベルになったとしても、クロック信号CLKの立ち上がりに応答して、差動論理回路10、20の状態を切り換えるため、ノイズの影響が差動論理回路10、20に与えられることが低減されている。

【0082】以上の出力回路100の動作は、ノードN2とノードN4の電圧レベルが確定することに際して、

16

互いに遅延がない場合、つまり、出力回路100の出力段を構成するPMOS61とNMOS62とが同時に導通状態とならない場合の動作である。ここで、ノードN2の電圧レベルの確定とノードN4の電圧レベルの確定に遅延が生じた場合についてを以下に説明する。図6は、ノードN2の電圧レベルの変化がノードN4の電圧レベルの変化より遅れた場合の出力回路100における動作タイミングチャートであり、図7は、ノードN4の電圧レベルの変化がノードN2の電圧レベルの変化より遅れた場合の出力回路100における動作タイミングチャートである。まず、図6を用いて、ノードN2の電圧レベルの変化がノードN4の電圧レベルの変化より遅れた場合についてを説明する。

【0083】図6において、初期状態において、ノードN2とノードN4の電圧レベルがLレベルであるとする。このため、クロックトインバータ31、32の出力信号の電圧レベルに応じて、ノードN5とノードN6の電圧レベルはともにHレベルとなっている。なお、図示していないが、ノードN1とノードN3の電圧レベルはそれぞれノードN2とノードN4と相補的な関係にある。よって、PMOS41及びNMOS51が非導通状態となっているため、ノードN5にはPMOS41、42を介して電源電圧Vccが印加されず、ノードN6にはNMOS51、52を介して接地電圧Vssが印加されていない。このため、PMOS61は非導通状態、NMOS62は導通状態であるため、出力端子9の出力信号OUTの電圧レベルはLレベルである。

【0084】この後、時刻t_k1において、ノードN4の電圧レベルが先にLレベルからHレベルになったとする。この時、図示していないが、ノードN3の電圧レベルはHレベルからLレベルになる。

【0085】クロックトインバータ31は、ノードN4の電圧レベルに応じて、NMOS31-2が導通状態となるが、ノードN2の電圧レベルがLレベルのため、PMOS31-1が導通状態であり、NMOS31-3が非導通状態である。このため、クロックトインバータ31の出力信号の電圧レベルはHレベルのままであり、ノードN5の電圧レベルはHレベルを維持する。この時、ノードN1、ノードN4の電圧レベルがともにHレベルとなるので、PMOS41、42はともに非導通状態である。

【0086】クロックトインバータ32は、ノードN2の電圧レベルに応じて、PMOS32-2は導通状態であるが、ノードN4の電圧レベルがHレベルのため、PMOS32-1が非導通状態となり、NMOS32-3が導通状態となる。このため、クロックトインバータ32の出力信号の電圧レベルはLレベルとなり、ノードN6の電圧レベルはHレベルからLレベルとなる。この時、ノードN2、ノードN3の電圧レベルがともにLレベルとなるので、NMOS51、52はともに非導通状

17

態である。

【 0087 】ノードN5の電圧レベル及びノードN6の電圧レベルに応じて、P MOS 6 1 及びNMOS 6 2 はともに非導通状態となるので、出力端子9から出力される出力信号OUTは高インピーダンス状態(図6においてハッキングされた部分)となる。

【 0088 】次に、時刻t k 2において、ノードN2の電圧レベルがLレベルからHレベルになったとする。この時、図示していないが、ノードN1の電圧レベルはHレベルからLレベルになる。

【 0089 】クロックトインバータ3 1は、NMOS 3 1 - 2 が導通状態であり、ノードN2の電圧レベルがHレベルになったため、P MOS 3 1 - 1 が非導通状態となり、NMOS 3 1 - 3 が導通状態となる。このため、クロックトインバータ3 1の出力信号の電圧レベルはHレベルからLレベルとなる。この時、ノードN1の電圧レベルもLレベルとなるため、P MOS 4 1 は導通状態となるが、P MOS 4 2 は非導通状態を維持するため、ノードN5にはP MOS 4 1、4 2を介して電源電圧Vccが印加されることはない。このため、ノードN5の電圧レベルはLレベルとなる。

【 0090 】クロックトインバータ3 2は、ノードN2の電圧レベルがHレベルとなったため、P MOS 3 2 - 2 非導通状態となるが、P MOS 3 2 - 1 が非導通状態であり、NMOS 3 2 - 3 が導通状態であるため、クロックトインバータ3 2の出力信号の電圧レベルはLレベルが維持される。この時、ノードN2の電圧レベルに応じて、NMOS 5 1 は導通状態となるが、NMOS 5 2 は非導通状態を維持するため、ノードN6にはNMOS 5 1、5 2を介して接地電圧Vssが印加されることはない。このため、ノードN6の電圧レベルはLレベルを維持する。

【 0091 】ノードN5の電圧レベル及びノードN6の電圧レベルに応じて、P MOS 6 1 は導通状態、NMOS 6 2 は非導通状態となるので、出力端子9から出力される出力信号OUTの電圧レベルはHレベルとなる。

【 0092 】次に、時刻t k 3において、ノードN4の電圧レベルが先にHレベルからLレベルになったとする。この時、図示していないが、ノードN3の電圧レベルはLレベルからHレベルになる。

【 0093 】クロックトインバータ3 1は、ノードN4の電圧レベルに応じて、NMOS 3 1 - 2 が非導通状態となる。ノードN2の電圧レベルがHレベルのため、P MOS 3 1 - 1 が非導通状態であり、NMOS 3 1 - 3 が導通状態である。このため、クロックトインバータ3 1の出力信号は高インピーダンス状態となる。この時、ノードN1、ノードN4の電圧レベルがともにLレベルとなるので、P MOS 4 1、4 2 はともに導通状態となる。このため、ノードN5にはP MOS 4 1、4 2を介して電源電圧Vccが印加される。この結果、ノードN

18

5の電圧レベルはHレベルに設定される。

【 0094 】クロックトインバータ3 2は、ノードN4の電圧レベルに応じて、P MOS 3 2 - 1 が導通状態となり、NMOS 3 2 - 3 が非導通状態となる。ノードN2の電圧レベルがHレベルのため、P MOS 3 2 - 2 が非導通状態である。このため、クロックトインバータ3 2の出力信号は高インピーダンス状態となる。この時、ノードN2、ノードN3の電圧レベルがともにHレベルとなるので、NMOS 5 1、5 2 はともに導通状態となる。このため、ノードN6にはNMOS 5 1、5 2を介して接地電圧Vssが印加される。この結果、ノードN6の電圧レベルはLレベルが維持される。

【 0095 】ノードN5の電圧レベル及びノードN6の電圧レベルに応じて、P MOS 6 1 及びNMOS 6 2 はともに非導通状態となるので、出力端子9から出力される出力信号OUTは高インピーダンス状態(図6においてハッキングされた部分)となる。

【 0096 】次に、時刻t k 4において、ノードN2の電圧レベルがHレベルからLレベルになったとする。この時、図示していないが、ノードN1の電圧レベルはLレベルからHレベルになる。

【 0097 】クロックトインバータ3 1は、NMOS 3 1 - 2 が非導通状態であり、ノードN2の電圧レベルがLレベルになったため、P MOS 3 1 - 1 が導通状態となり、NMOS 3 1 - 3 が非導通状態となる。このため、クロックトインバータ3 1の出力信号の電圧レベルは高インピーダンス状態からHレベルとなる。この時、ノードN1の電圧レベルもHレベルとなるため、P MOS 4 1 は非導通状態となり、ノードN5にはP MOS 4 1、4 2を介して電源電圧Vccが印加されることはない。このため、ノードN5の電圧レベルはHレベルが維持される。

【 0098 】クロックトインバータ3 2は、ノードN2の電圧レベルがLレベルとなったため、P MOS 3 2 - 2 導通状態となる。ここで、P MOS 3 2 - 1 が導通状態であり、NMOS 3 2 - 3 が非導通状態であるため、クロックトインバータ3 2の出力信号の電圧レベルは高インピーダンス状態からHレベルになる。この時、ノードN2の電圧レベルに応じて、NMOS 5 1 は非導通状態となるため、ノードN6にはNMOS 5 1、5 2を介して接地電圧Vssが印加されることはない。このため、ノードN6の電圧レベルはLレベルからHレベルとなる。

【 0099 】ノードN5の電圧レベル及びノードN6の電圧レベルに応じて、P MOS 6 1 は非導通状態、NMOS 6 2 は導通状態となるので、出力端子9から出力される出力信号OUTの電圧レベルはLレベルとなる。

【 0100 】次に、図7を用いて、ノードN4の電圧レベルの変化がノードN2の電圧レベルの変化より遅れた場合についてを説明する。なお、図7における初期状態

19.

は、図6と同様に、ノードN2、ノードN4の電圧レベルはLレベル、ノードN5、ノードN6の電圧レベルはHレベルとし、出力端子9から出力される出力信号OUTの電圧レベルはLレベルである。

【0101】時刻t y 1において、ノードN2の電圧レベルが先にLレベルからHレベルになったとする。この時、図示していないが、ノードN1の電圧レベルはHレベルからLレベルになる。

【0102】クロックトインバータ31は、ノードN2の電圧レベルに応じて、PMOS31-1が非導通状態となり、NMOS31-3が導通状態となるが、ノードN4の電圧レベルがLレベルのため、NMOS31-2が非導通状態である。このため、クロックトインバータ31の出力信号は高インピーダンス状態となる。この時、ノードN1、ノードN4の電圧レベルがともにLレベルとなるので、PMOS41、42はともに導通状態となる。このため、ノードN5にはPMOS41、42を介して電源電圧Vccが印加される。この結果、ノードN5の電圧レベルはHレベルに維持される。

【0103】クロックトインバータ32は、ノードN2の電圧レベルに応じて、PMOS32-2が非導通状態となる。ノードN4の電圧レベルがLレベルのため、PMOS32-1が導通状態であり、NMOS32-3が非導通状態である。このため、クロックトインバータ32の出力信号は高インピーダンス状態となる。この時、ノードN2、ノードN3の電圧レベルがともにHレベルとなるので、NMOS51、52はともに導通状態となる。このため、ノードN6にはNMOS51、52を介して接地電圧Vssが印加される。この結果、ノードN6の電圧レベルはHレベルからLレベルに設定される。

【0104】ノードN5の電圧レベル及びノードN6の電圧レベルに応じて、PMOS61及びNMOS62はともに非導通状態となるので、出力端子9から出力される出力信号OUTは高インピーダンス状態(図7においてハッキングされた部分)となる。

【0105】次に、時刻t y 2において、ノードN4の電圧レベルがLレベルからHレベルになったとする。この時、図示していないが、ノードN3の電圧レベルはHレベルからLレベルになる。

【0106】クロックトインバータ31は、NMOS31-2が導通状態となる。PMOS31-1が非導通状態であり、NMOS31-3が導通状態であるため、クロックトインバータ31の出力信号の電圧レベルは高インピーダンス状態からLレベルとなる。この時、ノードN4の電圧レベルに応じて、PMOS42は非導通状態となるため、ノードN5にはPMOS41、42を介して電源電圧Vccが印加されることはない。このため、ノードN5の電圧レベルはHレベルからLレベルになる。

【0107】クロックトインバータ32は、PMOS3

20.

2-2が非導通状態である。ノードN4の電圧レベルに応じて、PMOS32-1が非導通状態となり、NMOS32-3が導通状態となる。このため、クロックトインバータ32の出力信号は高インピーダンス状態からLレベルとなる。この時、ノードN3の電圧レベルに応じて、NMOS52が非導通状態となる。このため、ノードN6にはNMOS51、52を介して接地電圧Vssが印加されることはない。この結果、ノードN6の電圧レベルはLレベルを維持する。

【0108】ノードN5の電圧レベル及びノードN6の電圧レベルに応じて、PMOS61は導通状態、NMOS62は非導通状態となるので、出力端子9から出力される出力信号OUTの電圧レベルはHレベルとなる。

【0109】次に、時刻t y 3において、ノードN2の電圧レベルが先にHレベルからLレベルになったとする。この時、図示していないが、ノードN1の電圧レベルはLレベルからHレベルになる。

【0110】クロックトインバータ31は、NMOS31-2が導通状態であり、ノードN2の電圧レベルがLレベルになったため、PMOS31-1が導通状態となり、NMOS31-3が非導通状態となる。このため、クロックトインバータ31の出力信号の電圧レベルはLレベルからHレベルとなる。この時、ノードN1の電圧レベルもHレベルとなるため、PMOS41は非導通状態となり、PMOS42は非導通状態を維持するため、ノードN5にはPMOS41、42を介して電源電圧Vccが印加されることはない。このため、ノードN5の電圧レベルはLレベルからHレベルとなる。

【0111】クロックトインバータ32は、ノードN2の電圧レベルに応じて、PMOS32-2が導通状態となる。ノードN4の電圧レベルがHレベルのため、PMOS32-1が非導通状態であり、NMOS32-3が導通状態である。このため、クロックトインバータ32の出力信号の電圧レベルはLレベルとなる。この時、ノードN2の電圧レベルがLレベルとなるので、NMOS51は非導通状態となる。このため、ノードN6にはNMOS51、52を介して接地電圧Vssが印加されない。この結果、ノードN6の電圧レベルはLレベルが維持される。

【0112】ノードN5の電圧レベル及びノードN6の電圧レベルに応じて、PMOS61及びNMOS62はともに非導通状態となるので、出力端子9から出力される出力信号OUTは高インピーダンス状態(図7においてハッキングされた部分)となる。

【0113】次に、時刻t y 4において、ノードN4の電圧レベルがHレベルからLレベルになったとする。この時、図示していないが、ノードN3の電圧レベルはLレベルからHレベルになる。

【0114】クロックトインバータ31は、ノードN4の電圧レベルがLレベルになったため、PMOS31-1

50

21

2が非導通状態となるが、PMOS31-1が導通状態であり、NMOS31-3が非導通状態である。このため、クロックトインバータ31の出力信号の電圧レベルはHレベルのままである。この時、ノードN4の電圧レベルもLレベルとなるため、PMOS42は導通状態となるが、PMOS41は非導通状態を維持するため、ノードN5にはPMOS41、42を介して電源電圧Vccが印加されることはない。このため、ノードN5の電圧レベルはHレベルを維持する。

【0115】クロックトインバータ32は、ノードN4の電圧レベルに応じて、PMOS32-1が導通状態となり、NMOS32-3が非導通状態となる。ノードN2の電圧レベルがLレベルのため、PMOS32-2は導通状態である。このため、クロックトインバータ32の出力信号の電圧レベルはLレベルからHレベルとなる。この時、ノードN3の電圧レベルがHレベルとなるので、NMOS52は導通状態となるがNMOS51は非導通状態を維持するため、ノードN6にはNMOS51、52を介して接地電圧Vssが印加されない。この結果、ノードN6の電圧レベルはLレベルからHレベルになる。

【0116】ノードN5の電圧レベル及びノードN6の電圧レベルに応じて、PMOS61は非導通状態、NMOS62は導通状態となるので、出力端子9から出力される出力信号OUTの電圧レベルはLレベルとなる。

【0117】図6、図7にて説明したように、ノードN2の電圧レベルの変化とノードN4の電圧レベルの変化に遅延が生じていた場合には、出力回路100の出力段を構成するPMOS61及びNMOS62とともに非導通状態とし、出力端子9を高インピーダンス状態にしている。上述のように、出力端子9が高インピーダンス状態となるのは、ノードN2の電圧レベルの変化とノードN4の電圧レベルの変化との間に生じた遅延時間分となる。このため、この遅延時間に応じて、必要な時間だけPMOS61及びNMOS62とともに非導通状態とすることができるため、ノードN2の電圧レベルの変化とノードN4の電圧レベルの変化との間に遅延がなければ、出力端子9を高インピーダンス状態とすることなく、所望の電圧レベルを有する出力信号OUTを出力端子9から出力することができる。よって、出力回路100の高速応答性が損なうことなく、出力回路100の出力段における貫通電流を効率良く低減することができる。

【0118】なお、図6、図7に対する説明から示されるように、出力回路100の出力段を構成するPMOS61とNMOS62とが同時に導通状態となるのは、ノードN5の電圧レベルがLレベルであり、ノードN6の電圧レベルがHレベルである時である。つまり、ノードN2の電圧レベルがHレベルであり、ノードN4の電圧レベルがLレベルである時である。このようなタイミン

22

グにおいては、クロックトインバータ31、32の出力を高インピーダンス状態とし、PMOS41、42にてノードN5をHレベルにプルアップし、NMOS51、52にてノードN5をLレベルにプルダウンしている。このため、このプルアップ及びプルダウンによりPMOS61とNMOS62の非導通状態が安定するとともに、ノードN2、ノードN4にノイズが発生しても、クロックトインバータ31の出力は高インピーダンス状態かHレベルの電圧レベル、クロックトインバータ32の出力は高インピーダンス状態かLレベルの電圧レベルになので、PMOS61とNMOS62の非導通状態が安定する。

【0119】また、出力回路100においては、クロックトインバータ31、32において、それぞれ3つのMOSトランジスタと、ノードN5のプルアップあるいはノードN6のプルダウンにおいて、それぞれ2つのMOSトランジスタが設けられているに過ぎず、回路構成が大幅に増加することなく、貫通電流を低減することができる。

【0120】また、出力回路100においては、入力であるノードN2及びノードN4の電圧レベルの変化が出力回路100の出力段のMOSトランジスタに与えられるまでには、クロックトインバータ1段を介する程度の遅延でよい。なお、クロックトインバータ31、32は、差動論理回路10、20により設定されたノードN2、ノードN4の信号を波形整形して、出力回路100の出力段へ与えるため、出力回路100の出力信号OUTの電圧レベルの変化をより確実かつ高速に行える。

【0121】さらに、信号生成回路70にて、2つのデータ信号DATA1、DATA2、及びクロック信号CLKから生成された制御信号CN1～CN4により差動論理回路10、20を動作させ、出力回路100に入力される入力信号の電圧レベルを差動論理回路10、20にて維持するようにしている。このため、データ信号DATA1、DATA2の電圧レベルを維持しておく必要なく、クロック信号CLKに同期して、出力回路100の出力信号OUTの電圧レベルを変化させ、かつデータ信号の電圧レベルの変化後も、出力信号OUTの電圧レベルを安定して維持しておくことができる。

【0122】次に、本発明の第2の実施の形態における出力回路についてを図面を用いて以下に説明する。図8は、本発明の第2の実施の形態における出力回路200の回路図である。なお、図8において、図1と同じ構成要素については同じ符号を付して、説明の重複を省略することとする。

【0123】図8の出力回路200においては、図1の出力回路100に比べて、インバータ111～114が追加されている。図8におけるその他の構成要素は図1と同様である。

【0124】図8において、インバータ111の入力端

子はノードN5に接続され、出力端子はインバータ111の入力端子に接続されている。インバータ112の出力端子はP MOS61のゲート電極に接続されている。インバータ113の入力端子はノードN6に接続され、出力端子はインバータ114の入力端子に接続されている。インバータ114の出力端子はNMOS62のゲート電極に接続されている。つまり、ノードN5に伝達された信号はインバータ111、112を介してP MOS61のゲート電極に供給され、ノードN6に伝達された信号はインバータ113、114を介してNMOS62のゲート電極に供給される。なお、インバータ111～114の駆動能力は同様なものであり、その遅延速度は同様なものとする。

【0125】図8においては、ノードN5、ノードN6に伝達された信号は2つ(偶数個)のインバータを介してそれぞれP MOS61、NMOS62のゲート電極に供給されるため、P MOS61、NMOS62のゲート電極に供給される信号の電圧レベルは図1の場合と同様である。よって、図8の出力回路200の動作は図1の出力回路100と同様である。

【0126】出力段を構成するP MOS61、NMOS62の駆動能力が非常に大きい場合、P MOS61、NMOS62のサイズが大きくなる。このP MOS61、NMOS62を制御するために、クロックトゲート31、32、及びP MOS41、42、NMOS51、52のサイズも比較的大きい(出力段のP MOS61、NMOS62ほど大きくなくともよい)ものを用いる場合がある。図8においては、インバータ111～114を比較的大きい(出力段のP MOS61、NMOS62ほど大きくなくともよい)サイズのP MOS、NMOSで構成する。このため、図8の出力回路200は、図1の出力回路100に比べて、MOSトランジスタとしては4個増えるが、比較的大きいサイズのMOSトランジスタの数は少ない数でよい。この結果、出力回路全体として見れば、図1の出力回路100に比べて、図8の出力回路200の方がレイアウト面積が小さくなる。

【0127】このように、第2の実施の形態は第1の実施の形態と比べて、インバータ2段分の遅延があるが、さらに出力回路200が設けられた半導体集積回路を搭載する半導体チップのレイアウト面積の縮小化が望める。このため、第2の実施の形態の出力回路200は、出力信号OUTの電圧レベルの変化間に余裕が有る場合に、特に有効である。

【0128】なお、第2の実施の形態における出力回路200においては、出力信号OUTの電圧レベルの変化間に余裕が有る場合に、インバータを2段に限定することなく、2段以上の偶数段にしてもよい。また、インバータの代わりに、入力信号と出力信号の電圧レベルが同様となるバッファを用いれば、1段以上の奇数段とすることもできる。

【0129】以上、本発明の実施の形態についてを詳細に説明したが、本発明の構成は上記実施の形態の構成に限定されるものではない。

【0130】例えば、ダイナミックランダムアクセスメモリのように、出力回路の出力段がN MOSのみで構成されるような場合には、ノードN5とP MOS61の代わりに設けられるNMOSのゲート電極との間に奇数個のインバータを設ければ、本発明と同様な効果を得ることができる。逆に、出力回路の出力段がP MOSのみで構成されるような場合には、ノードN6とNMOS62の代わりに設けられるP MOSのゲート電極との間に奇数個のインバータを設ければ、本発明と同様な効果を得ることができる。

【0131】また、本発明と同様な動作を実現できるものであれば、P MOSをNMOSに、NMOSをP MOSに変更することを妨げるものではない。

【0132】また、クロックトインバータ31、32は、入力信号と出力信号の電圧レベルが同様となるクロックトバッファであってもよい。この場合、ノードN5とP MOS61のゲート電極との間及びノードN6とNMOS62のゲート電極との間にそれぞれ奇数個のインバータを配置するか、あるいはP MOS61をNMOSに、NMOS62をNMOSに変更すれば、上記実施の形態と同様な動作が実現できる。

【0133】また、各実施の形態においては、出力回路の入力信号を差動論理回路からの出力信号としたが、他の構成要素からの出力信号を出力回路の入力信号としてもよい。例えば、データ信号DATA1、DATA2が信号生成回路70や差動論理回路10、20を介さずに出力回路100あるいは200に入力されるものであっても、本願発明の効果である、高速応答性を損なうことなく、貫通電流の防止が実現できる。

【0134】また、出力回路を、信号生成回路70や差動論理回路10、20を含めた構成として考慮してもよい。この場合、クロック信号CLKに応答して動作する出力回路として見ることができる。

【0135】なお、信号生成回路70や差動論理回路10、20の回路構成も実施の形態のものに限定されることなく、種々の変更が可能であることは言うまでもない。

【0136】

【発明の効果】以上、詳細に説明したように、本発明においては、高速応答性を損なうことなく、出力回路における出力段における貫通電流を低減する出力回路を提供することができる。

【0137】また、本発明は、素子の増加を極力低減した上で、上記効果を得ることができる出力回路を提供することができる。

【0138】また、本発明は、入力される信号にノイズが発生しても、上記効果を得ることができる出力回路を

提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における出力回路100の回路図である。

【図2】クロックトインバータ31の回路図である。

【図3】クロックトインバータ32の回路図である。

【図4】信号生成回路70の回路図である。

【図5】信号生成回路70の動作を説明するタイミングチャートである。

【図6】図1において、ノードN2の電圧レベルの変化がノードN4の電圧レベルの変化より遅れた場合の出力回路100における動作タイミングチャートである。

【図7】図1において、ノードN4の電圧レベルの変化がノードN2の電圧レベルの変化より遅れた場合の出力回路100における動作タイミングチャートである。

【図8】本発明の第2の実施の形態における出力回路2

00の回路図である。

【符号の説明】

1~4 入力端子(制御信号CN1~CN4用)

9 出力端子

10、20 差動論理回路

11、12、21、22 P MOS(差動論理回路用)

13~16、23~26 NMOS(差動論理回路用)

31、32 クロックトインバータ

41、42 P MOS(制御回路用)

51、52 NMOS(制御回路用)

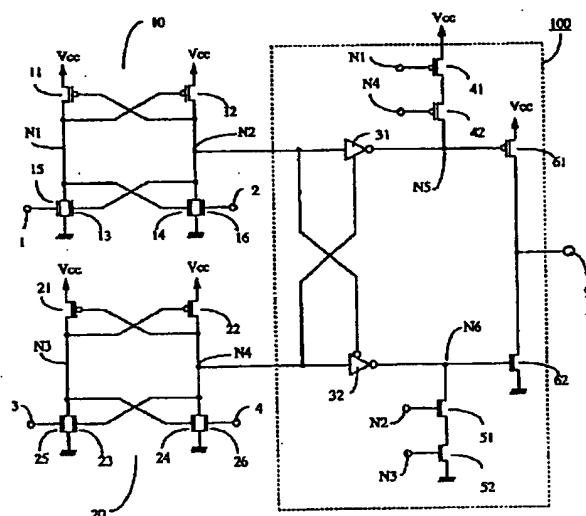
61 P MOS(出力段用)

62 NMOS(出力段用)

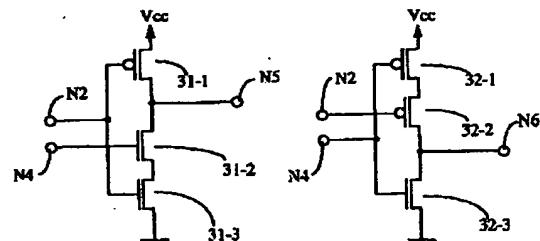
70 信号生成回路

100、200 出力回路

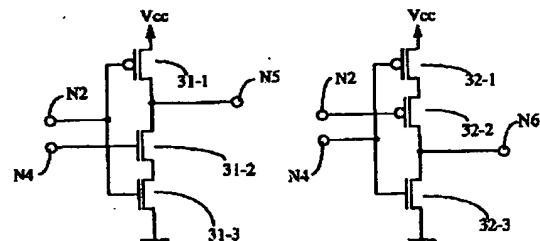
【図1】



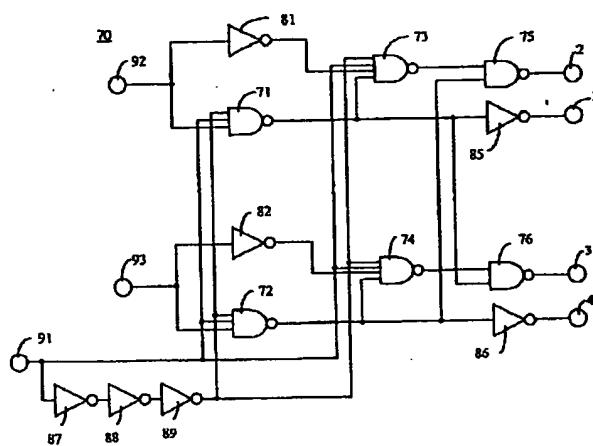
【図2】



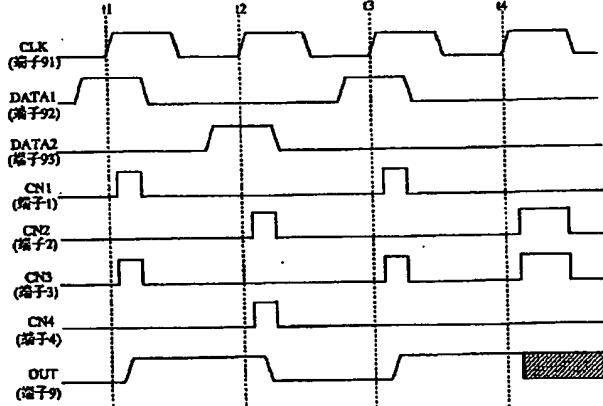
【図3】



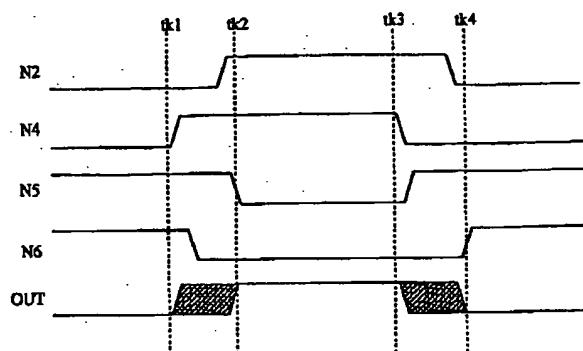
【図4】



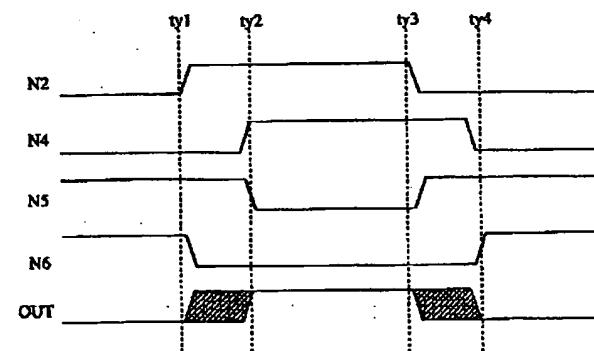
【図5】



【 図6 】



【 図7 】



【 図8 】

